

DERWENT-ACC-NO: 2004-539486

DERWENT-WEEK: 200452

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor element used in liquid crystal display panel, has insulating film formed at side face of convex-shaped bump electrodes

PATENT-ASSIGNEE: TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO[TOSHIN]

PRIORITY-DATA: 2002JP-0381347 (December 27, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2004214374 A	July 29, 2004	N/A	008	H01L 021/60

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2004214374A	N/A	2002JP-0381347	December 27, 2002

INT-CL (IPC): G02F001/1345, H01L021/60

ABSTRACTED-PUB-NO: JP2004214374A

BASIC-ABSTRACT:

NOVELTY - The convex shaped bump electrodes and the electrode terminals (4) are conducted through the electroconductive particle (6) of anisotropic conductive film (5). An insulating film (13) is formed at the side face of the convex-shaped bump electrodes.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for liquid crystal display panel.

USE - For use in liquid crystal display panel (claimed).

ADVANTAGE - Enables preventing short circuit between bumps formed at the semiconductor element. Achieves improved reliability of liquid crystal display panel.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional drawing of the semiconductor element.

electrode pad 1

passivation layer 2

bump layer 3

side face of bump 3a

electrode terminal 4

**anisotropic conductive film** 5

electroconductive particle 6

polyimide film 12

insulating film 13

CHOSEN-DRAWING: Dwg.3/6

TITLE-TERMS: SEMICONDUCTOR ELEMENT LIQUID CRYSTAL DISPLAY PANEL  
INSULATE FILM  
FORMING SIDE FACE CONVEX SHAPE **BUMP ELECTRODE**

DERWENT-CLASS: P81 U11 U14

EPI-CODES: U11-E01; U14-K01A4B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2004-427727

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214374

(P2004-214374A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int.Cl.<sup>7</sup>  
**H01L 21/60**  
**G02F 1/1345**

F 1  
**H01L 21/92** 602K  
**H01L 21/60** 311S  
**G02F 1/1345**  
**H01L 21/92** 603A

テーマコード(参考)

2H092

5FO44

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2002-381347 (P2002-381347)  
(22) 出願日 平成14年12月27日 (2002.12.27)

(71) 出願人 302020207  
東芝松下ディスプレイテクノロジー株式会社  
東京都港区港南4-1-8  
(74) 代理人 100105809  
弁理士 木森 有平  
(72) 発明者 新田 誠  
東京都港区港南四丁目1番8号 東芝松下  
ディスプレイテクノロジー株式会社内  
(72) 発明者 藤田 光  
東京都港区港南四丁目1番8号 東芝松下  
ディスプレイテクノロジー株式会社内  
Fターム(参考) 2H092 GA31 GA40 GA45 GA48 GA51  
GA60 JB56 JB57 NA25 PA01  
PA06  
5FO44 KK06 LL09 QQ02

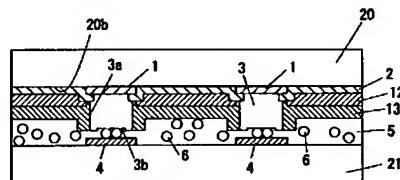
(54) 【発明の名称】半導体素子及び液晶表示パネル

## (57) 【要約】

【課題】フェースダウン実装する半導体素子において、半導体素子に形成されたバンプ間がショートすることのない半導体素子及び液晶表示パネルを提供する。

【解決手段】入出力端子として凸状の電極であるバンプ10を実装面に有し、異方性導電膜5で実装される半導体素子20において、バンプ10のバンプ層3の上面3bを除いた側面部3a及び半導体素子20の実装面20a全体に絶縁膜13を形成する。上記の半導体素子20は、導電粒子6を有する異方性導電膜5を介して加熱圧着により液晶表示パネルの基板21に実装させる。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

凸状の電極であるバンプを有し、この凸状のバンプを有する実装面を電極端子が形成された実装用基板に向けて異方性導電膜を使用して実装し、異方性導電膜の導電粒子を介して上記凸状のバンプの先端接触面と上記電極端子とを導通させる半導体素子において、上記凸状のバンプの側面に絶縁膜が形成されていることを特徴とする半導体素子。

**【請求項 2】**

前記絶縁膜は、前記凸状のバンプの先端接触面を除き、半導体素子のバンプを有する面の全体に形成されていることを特徴とする請求項 1 記載の半導体素子。

**【請求項 3】**

液晶を挟持する一対の基板の一方の基板を実装用基板として、この実装用基板の電極端子に請求項 1 又は請求項 2 のいずれかに記載の半導体素子を導電粒子を有する異方性導電膜を介して加熱圧着により実装させていることを特徴とする液晶表示パネル。

10

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、フェースダウン実装される半導体素子、特に液晶表示パネルの一方の基板に COG 実装される半導体素子及び液晶表示パネルに関する。

**【0002】****【従来の技術】**

液晶表示装置は、液晶層を挟持する一対のガラス基板に形成された電極を半導体素子により制御し、液晶の電気光学効果を利用して表示される。半導体素子の電気的接続方法としては、例えば、ゴムコネクション法、ヒートシール法、TAB (tape automated bonding) 法、COG (chip on glass) 法等の提案がされているが、今日では、実装工程の自動化およびプロセススループットの観点から TAB 法と COG 法が主流となっており、装置の小型化及び薄型化の観点から特に、COG 法が重視されている。

20

**【0003】**

図 4 は、従来の半導体素子 20 に形成したバンプ 10 の模式図である。半導体素子 20 の表面にアルミニウム等により形成された電極パッド 1 上に、シリコンナイトライド (Si<sub>3</sub>N<sub>4</sub>) 等からなるパッシベーション層 2 が形成されている。パッシベーション層 2 には開口部 2a が設けられており、電極パッド 1 上にスパッタリング、メッキもしくはボンディングツール等によりバンプ層 3 を形成し、開口部 2a を介して電極パッド 1 とバンプ層 3 とが導通される。バンプ層 3 は、主に金で形成され、この電極パッド 1 、パッシベーション層 2 及びバンプ層 3 によりバンプ 10 が形成されている。また、パッシベーション層 2 表面を保護するため、バンプ 10 周辺を除き、ポリイミド膜 12 が形成されている。

**【0004】**

一般的に、COG 法による半導体素子 20 の接続は図 5 に示される構造となっている。COG 法は、一対のガラス基板の一方の基板 21 に半導体素子 20 をフェースダウンにて直接実装する方法である。COG 法では、半導体素子 20 のバンプ 10 と基板 21 に形成された電極端子 4 とを対向させて、異方性導電膜 (Anisotropic Conductive Film; ACF) 5 を介して加熱圧着により実装する方法が配線のファインピッチ化や実装による歩留まり性能の点等から採用されるのがほとんどである。異方性導電膜 5 は、樹脂製の接着剤に導電粒子 6 を分散させたものであり、加熱及び加圧により、半導体素子 20 のバンプ 10 と基板 21 上の電極端子 4 との間に、導電粒子 6 が挟まれて接触することによって、電気的導通が得られる。このとき、バンプ 10 と電極端子 4 とで挟まれることによって導電粒子 6 がつぶれ、この状態で固定することにより、導電粒子 6 が弾力性を持ってバンプ 10 と電極端子 4 とに密着し、導通状態が安定的に保持される。ここで、導電粒子 6 は、直径 3 μm のポリスチレン粒子表面に厚さ約 0.1 μm のニッケルめっきを施したものである。一方、導電粒子 6 が挟まれることにより、バンプ 10 は、

40

50

めり込むように変形し、導電粒子6とバンプ10とが密着することとなる。このため、バンプ層3の材料には通常、変形しやすい金が使用され、また、変形分を考慮して所定の高さとなるように形成される。

#### 【0005】

##### 【発明が解決しようとする課題】

隣接するバンプ10間において、導電粒子6が接触して連なった場合、この導電粒子6の連なりを原因として導通してショートしてしまうことがある。導電粒子6が連なった状態とは、バンプ10と電極端子4とに挟まれた導電粒子6に周辺の導電粒子6が連なる場合のみならず、図5右側に示されるように、バンプ層3の側面3aに導電粒子6が連なって接触する場合も含まれ、ショートの原因となる。上述したように、バンプ10は導電粒子6を挟むことによる変形分を考慮した高さとなっているため、バンプ層3の側面3aに導電粒子6が接触することは多く、それに伴ってバンプ層3の側面3aに連なった導電粒子6が接触することも多かった。また近年、液晶表示装置の狭額縫化による半導体素子20の小型化及び配線の狭ピッチ化に伴い、隣接するバンプ10間が狭くなる傾向にあるため、このような導電粒子6の連なりによるショートの危険性は高くなっていた。

10

#### 【0006】

また、バンプ10は様々な形状の層が重ねられた層構造であるため、その表面形状は凹凸ができている。図5左側に示すようにこの凹部10aに導電粒子6が引っかかったり（時には凹部10aにはまり込んだり）、図5中央に示すように凹部10aに異方性導電膜5が入り込まずに気泡14ができたりすることもある。特に、このバンプ10表面の凹凸形状により異方性導電膜5が偏ってしまうと、導電粒子6も偏ることとなり、特定の場所に偏った導電粒子6が連なることにより、ショートする危険性もあった。

20

#### 【0007】

上記の導電粒子6の連なりによるショートを防止するためには、様々な方法が採られてきた。まず、異方性導電膜5の導電粒子6の密度を低くする方法が考えられる。しかし、半導体素子20をCOG法により異方性導電膜5を用いて実装する際、バンプ10と電極端子4とを確実に導通させるためには、ある程度の数量の導電粒子6をバンプ10と電極端子4との間に挟み込む必要がある。例えば、液晶表示装置に使用される一般的な駆動用の半導体素子においては、径が3～5μm程度の一般的な導電粒子6を用いる場合、一箇所の接続部分（上記半導体素子20ではバンプ10の先端接触面3bに）において4～8個程度の導電粒子6を少なくとも挟み込む必要がある。特に、半導体素子20の小型化に伴い、バンプ10は小型化される傾向にあるため、上記のように導電粒子6の密度を低くすると所定数量の導電粒子6を挟み込めないこととなり、導通不良が多数検出され、歩留まりの低下につながっていた。

30

#### 【0008】

他の方法として、導電粒子6の径を小さくする方法が考えられる。しかし、バンプ10は、一般的に高さのバラツキ（公差）があり、導電粒子6のつぶれ度合いやバンプ10の変形（めり込み）度合いによってこの高さのバラツキを吸収しているため、導電粒子6の径が小さくなると、この高さのバラツキを吸収し難くなる。これにより、導電粒子6がバンプ10と電極端子4との間に有効に挟まれなくなり、導通不良となっていた。

40

#### 【0009】

また、絶縁コートした導電粒子6を使用する方法も考えられるが、導電方向についてこの絶縁コートを破壊する必要があるため、絶縁コートのない導電粒子6の接続時に比べて加圧力を大きくしなければならない。すなわち、所定の接続信頼性を得るために実装条件が厳しくなる分、絶縁コートが十分に破壊されないことによる導通不良が検出される確率も高くなっていた。

#### 【0010】

そこで、本発明の目的は、フェースダウンにより実装される半導体素子において、バンプが小型化及び狭ピッチ化しても隣接するバンプ間がショートすることのない半導体素子及び液晶表示パネルを提供することを目的とする。

50

**【0011】****【課題を解決するための手段】**

上記課題を解決するために、本発明の請求項1記載の半導体素子は、凸状の電極であるバンプを有し、この凸状のバンプを有する実装面を電極端子が形成された実装用基板に向けて異方性導電膜を使用して実装し、異方性導電膜の導電粒子を介して凸状のバンプの先端接触面と電極端子とを導通させる半導体素子において、上記凸状のバンプの側面に絶縁膜が形成されていることを特徴とする。

**【0012】**

この発明によれば、上記凸状のバンプの側面に絶縁膜が形成されていることから、隣接するバンプ間において異方性導電膜中の導電粒子が連なったとしても、バンプ側面の絶縁膜によって隣接するバンプ間におけるショートが防止される。10

**【0013】**

本発明の請求項2記載の半導体素子は、請求項1記載の発明を前提として、前記絶縁膜は、前記凸状のバンプの先端接触面を除き、半導体素子のバンプを有する面の全体に形成されていることを特徴とする。

**【0014】**

この発明によれば、絶縁膜が、バンプの先端接触面を除き、半導体素子のバンプを有する面の全体に形成されているため、半導体素子の実装面すなわち他の実装用基板等に対向する面が、バンプの先端接触面を除いた全体が滑らかな絶縁膜面となる。これにより、半導体素子を実装する際に流動性を持った異方性導電膜が、バンプの先端接触面すなわちバンプにて挟まれる部分を除いて、滑らかに移動することとなり、異方性導電膜（特に導電粒子）が偏ることなく半導体素子の実装面の全体に均一に行き渡ることとなり、異方性導電膜の偏りによる気泡もできにくくなる。20

**【0015】**

本発明の請求項3記載の半導体素子の実装構造は、液晶を挟持する一対の基板の一方の基板を実装用基板として、この実装用基板の電極端子に請求項1又は請求項2のいずれかに記載の半導体素子を導電粒子を有する異方性導電膜を介して加熱圧着より実装させていることを特徴とする。

**【0016】**

この発明によれば、請求項1又は請求項3記載の半導体素子を液晶表示パネルの一方の実装用基板に異方性導電膜を介して実装するに際して、隣接するバンプ間において導電粒子の連なりによってショートすることなく、実装用基板と半導体素子とが導電粒子を介して安定的に導通する実装構造の液晶表示パネルとなる。30

**【0017】****【発明の実施の形態】**

以下、本発明の実施の形態を図面を引用しながら説明する。

**【0018】**

図1(a)は、本実施の形態の半導体素子の構造図、図1(b)は、本実施の形態の半導体素子を液晶表示パネルの一方の基板に実装した図を示す。図1(a)に示される半導体素子20は、液晶表示パネルの表示を制御する電子素子であり、表面にバンプ10が形成される。バンプ10は、半導体素子20への入出力電極の役割を果たす突起状（凸状）の電極であり、少なくとも入出力信号の数が実装面20bに形成されている。図1(b)に示されるように、液晶表示パネルは文字及び映像を表示するもので、表示用電極（図示せず）が敷設された一対の透明基板21、22を適宜な間隔で対峙させ、その間に液晶材料（図示せず）を注入し、前記透明基板21、22の周辺をシール材（図示せず）で封止して構成される。一対の透明基板21、22のうち、一方の基板21は他方の基板22より広く形成され、重ね合わせたときに外側に張り出す部分に金属製の配線パターン9が所定の形状で施され、この配線パターン9と本実施の形態の半導体素子20とを電気的に導通させる。すなわち、配線パターン9の接続箇所（後述する電極端子4）に半導体素子20のバンプ10を有する実装面20bを向けて、異方性導電膜5を介して実装される。な40

お、半導体素子 20 等の駆動回路が施された回路基板（図示せず）が、基板 21 のさらに外側に設けられ、フレキシブル配線基板（図示せず）を介して回路基板と基板 21 とが接続される場合もある。

#### 【0019】

図 2 は、接続パッド 10 を半導体素子 20 の表面に作製する手順を示す。11 は、シリコン等の基板に所定の回路、配線及び層間絶縁膜等が作製されたウェハーである。まず、ウェハー 11 の表面にアルミニウム等の電極パッド膜 1 を一様の厚さで形成する（図 2 (a)）。次に、フォトリソグラフィーにより所定の形状のマスクパターンを形成し、エッチング等により電極パッド 1 を形成する（図 2 (b)）。次に、シリコンナイトライド ( $\text{Si}_3\text{N}_4$ ) 等のパッシベーション層 2 を形成し（図 2 (c)）、フォトリソグラフィーにより、開口部 2a の形状のマスクパターンを形成して、エッチングにより電極パッド 1 の上に開口部 2a を設ける（図 2 (d)）。

10

#### 【0020】

次いで、図 2 (e) に示すように、開口部 2a 周辺を残して表面保護のためにポリイミド膜 12 を形成する。その後、電極パッド 1 上にスパッタリング、メッキもしくはボンディングツール等によりバンプ層 3 を形成し、開口部 2a を介して電極パッド 1 とバンプ層 3 とが導通される（図 2 (f)）。バンプ層 3 は、主に金で形成され、この電極パッド 1、パッシベーション層 2 及びバンプ層 3 によりバンプ 10 が形成される。次に、ウェハー 11 の表面全体に、窒化膜 ( $\text{SiN}_x$ ) からなる絶縁膜 13 を形成する（図 2 (g)）。その後、フォトリソグラフィー及びエッチングにより、バンプ層 3 周辺の絶縁膜 13 の高さがバンプ層 3 の表面（先端接触面）3b の高さとなるように、また、バンプ層 3 の表面が開口するように、絶縁膜 13 を整形する（図 2 (h)）。本実施の形態において、絶縁膜 13 として窒化膜を使用したが、本発明はこれを限定するものではなく、例えば、シリコン酸化膜 ( $\text{SiO}_2$ ) を使用してもよく、より低温で成膜できる材料を選択することが好みしい。

20

#### 【0021】

ここで、異方性導電膜 5 の導電粒子 6 の捕捉率を高めるために、絶縁膜 13 の高さをバンプ 10 の先端接触面 3b の高さよりも若干高く形成しても良い。この場合において、絶縁膜 13 を、材質がバンプ 10 よりも柔らかい材質（すなわち実装時においてバンプ 10 よりも潰れ具合の大きい材質）によることとして、その若干高く形成した部分が加熱圧着による際に潰れて、バンプ層 3 の表面（先端接触面）3b の高さとなるようにして、いわゆる平行度を出すようにしても良い。図 6 (a) に示されるように、絶縁膜 13 をバンプ 10 の先端接触面 3b を覆わないようにこれより高くする場合、絶縁膜 13 はスピンドルによって塗布することが好みしい。また、図 6 (b) に示されるように、絶縁膜 13 をバンプの先端接触面 3b を一部覆うようにこれより高くする場合は、図 2 (g) において、絶縁膜 13 の開口がバンプ先端接触面 3b より若干小さくなるようにエッチングすれば、絶縁膜 13 の膜厚の分だけ容易に高くすることができる。さらに、図 6 (c) に示されるように、ポリイミド膜 12 をバンプ層 3 の外周側面 3a に形成させることで絶縁膜 13 の機能を兼務させててもよい。また、凸状のバンプ 10 の先端接触面 3b を開口させて、バンプ層 3 の外周側面 3a に絶縁膜 13（あるいはポリイミド膜 12）が形成されていれば、半導体素子 20 の実装面 20b の全体に絶縁膜 13 が形成されていなくとも、導電粒子 6 の連なりによるショートが防止される。

30

#### 【0022】

以上のように接続パッド 10 が作製されたウェハー 11 は、所定の形状にダイシングされ、半導体素子 20 が得られる。

40

#### 【0023】

次に、上記のように製造された半導体素子 20 を実装用基板 21 に実装する実装構造を説明する。半導体素子 20 は、COG 法によりフェースダウン実装される。実装用基板 21 の表面には、図 3 に示すように、配線パターン 9 の接続箇所に所定形状で電極端子 4 が形成され、半導体素子 20 の実装される部分に異方性導電膜 5 を塗布し、半導体素子 20 を

50

位置合わせして裏面（図4において上側）から加圧しながら加熱する。このとき、図3右側に示されるように、連なった導電粒子6がバンプ10の側面方向から接触しても、バンプ層3の側面3aは、絶縁膜13で覆われているため、隣接するバンプ10とショートすることがない。

#### 【0024】

また、絶縁膜11は、バンプ10の上面を除き半導体素子20の表面全体に膜形成されているため、層構造によるバンプ10の表面凹凸形状が、絶縁膜11により滑らかに覆われていることとなる。すなわち、半導体素子20の実装面において、バンプ10の上面（先端接触面）3bを除いた全体が滑らかになっているため、加熱により流動性を持った異方性導電膜5が半導体素子20の実装面上を滑らかに移動することとなる。これにより、異方性導電膜5が偏ることなく半導体素子20の実装面全体に行き渡ることとなり、異方性導電膜5の流れが阻害されることによる気泡もできにくくなる。特に、異方性導電膜5の滑らかな移動に伴って、導電粒子6の偏り、すなわち導電粒子6の連なりも起こりにくくなる。

10

#### 【0025】

以上、本実施の形態においては、半導体素子20を液晶表示パネルに使用される実装用基板21に実装する例で説明したが、本発明はこれに限らず、フェースダウン実装する半導体素子20及びその実装構造であれば、広く適用可能である。

#### 【0026】

20

##### 【発明の効果】

本発明の半導体素子は、まず、凸状のバンプの側面に絶縁膜を形成することにより、隣接するバンプ間において異方性導電膜中の導電粒子が連なったとしても、バンプ側面の絶縁膜によって隣接するバンプ間におけるショートが防止される。また、バンプ側面のみならず、バンプの先端接触面を除き、半導体素子のバンプを有する面の全体に絶縁膜を形成することにより、半導体素子の実装面全体（バンプの先端接触面を除く）が滑らかな絶縁膜面となる。これにより、異方性導電膜（特に導電粒子）が偏ることなく半導体素子の実装面の全体に均一に行き渡ることとなり、導電粒子の連なりが起こりにくくなることで、さらに隣接するバンプ間におけるショートの防止が図られる。また、異方性導電膜の偏りによる気泡の発生が防止されることとなる。また、本発明の液晶表示パネルによれば、隣接するバンプ間において、導電粒子の連なりによるショートが防止される構造となるため、バンプが小型化及び狭ピッチ化しても隣接するバンプ間がショートすることがなく、実装用基板と半導体素子とが安定的に導通することとなり、液晶表示パネルの信頼性の向上が図られる。

30

#### 【0027】

##### 【図面の簡単な説明】

【図1】(a)は本発明の半導体素子の構造図、(b)は本発明の半導体素子を液晶表示パネルに実装した構成図

【図2】本発明の実施の形態における半導体素子のバンプを形成する説明図

【図3】本発明の半導体素子と液晶表示パネルの接続断面図

40

【図4】従来のバンプの構造図

【図5】従来の半導体素子と液晶表示パネルの接続断面図

【図6】(a)は、本発明のバンプの別の例を示す構造図、(b)は、本発明のバンプのさらに別の例を示す構造図、(c)は、本発明のバンプのさらに別の例を示す構造図

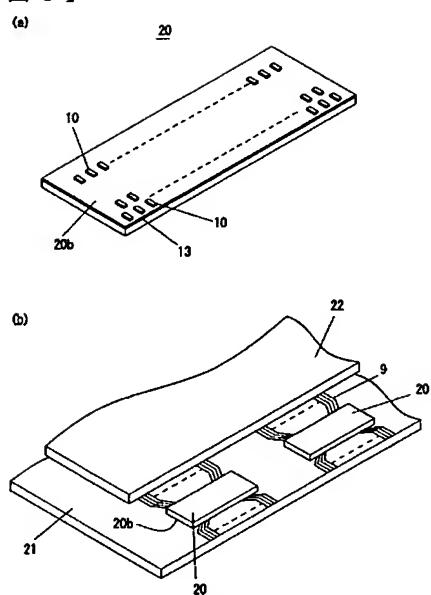
##### 【符号の説明】

- |     |               |
|-----|---------------|
| 1   | 電極パッド         |
| 2   | パッシベーション層     |
| 2 a | 開口部           |
| 3   | バンプ層          |
| 3 a | バンプの側面        |
| 3 b | バンプの上面（先端接触面） |

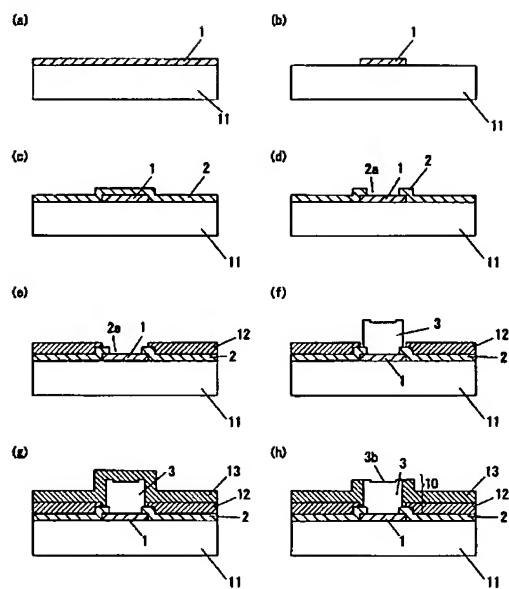
50

4	電極端子	
5	異方性導電膜	
6	導電粒子	
9	配線パターン	
10	バンプ	
10a	凹部	
11	ウェハー	
12	ポリイミド膜	
13	絶縁膜	
14	気泡	10
20	半導体素子	
20b	半導体素子の実装面（バンプを有する面）	
21	一方の基板（実装用基板）	
22	他方の基板	

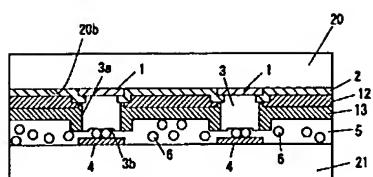
【図1】



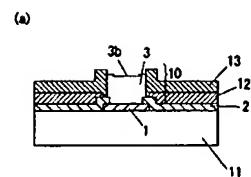
【図2】



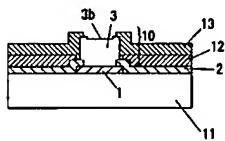
【図 3】



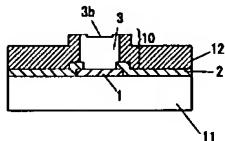
【図 6】



(a)

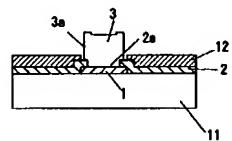


(b)



(c)

【図 4】



【図 5】

